

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.6

H01L 21/336

(11) 공개번호 특2001-0006796

(43) 공개일자 2001년01월26일

(21) 출원번호

10-2000-0012702

(22) 출원일자

2000년03월14일

(30) 우선권주장

09/342,751 1999년06월29일 미국(US)

(71) 출원인

오끼 덴끼 고오교 가부시끼가이샤 사와무라 시코

일본 도쿄도 미나토쿠 도라노몬 1쵸메 7반 12고

(72) 발명자

가나모리준

일본도쿄도미나토쿠도라노몬1쵸메7반12고오끼덴끼고오교가부시끼가이샤나이

(74) 대리인

박해선, 조영원

심사청구 : 없음

(54) 반도체 장치 및 그의 제조방법

요약

반도체 장치의 제조방법에 있어서, 실리사이드 (silicide) 은 적어도 실리사이드된 지역의 표면에 형성된다. 그러면, 제 1 RTA(Rapid Thermal Annealing) 프로세스가 제 1 반응된 실리사이드 영역을 형성하기 위하여 수행된다. 다음으로, 보충적인 실리콘층이 전체 표면에 형성되고, 제 2 RTA 프로세스가 제 2 반응된 실리사이드 영역을 형성하기 위하여 수행된다.

대표도

도2e

명세서

도면의 간단한 설명

도 1a 내지 도 1c 는 종래 기술에 따르는 반도체 장치의 제조 단계를 도시한 단면도이다.

도 2a 내지 도 2e 는 본 발명의 제 1 실시예에 따르는 반도체 장치의 제조 단계를 도시한 단면도이다.

도 3a 내지 도 3e 는 본 발명의 제 2 실시예에 따르는 반도체 장치의 제조 단계를 도시한 단면도이다.

도 4a 내지 도 4e 는 본 발명의 제 3 실시예에 따르는 반도체 장치의 제조 단계를 도시한 단면도이다.

도 5a 내지 도 5d 는 본 발명의 제 4 실시예에 따르는 반도체 장치의 제조 단계를 도시한 단면도이다.

도 6a 내지 도 6c 는 본 발명의 제 5 실시예에 따르는 반도체 장치의 제조 단계를 도시한 단면도이다.

도면의 주요부분에 대한 부호의 설명

112: 실리콘 기판	114: BOX 층
116: 필드 산화물층	118: SOI 층
120: 게이트 산화물층	122: 폴리 실리콘 게이트층
124: 게이트 측벽층	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 기술에 관한 것이고, 보다 구체적으로는 SALICIDE (Self Aligned Silicide) 프로세스를 사용하여 제조하는 반도체 장치에 관한 것이다.

최근 들어, 반도체 장치들은 소형화되고 있고 성능이 향상되고 있으며, 동시에 시스템 LSI 들이 제안되고 있다. 시스템 LSI와 같은 것에서, 그 성능을 향상시키기 위하여, 게이트 패턴과 소스 및 드레인의 활성 영역들의 저항을 감소시키는 것이 요구된다. 1998년 5월의 "Semiconductor World" 의 66 페이지에 기재된 것과 같이, 살리사이드(salicide) 프로세스는 상기 저항을 감소시키는데 사용되어 왔다. 특히 SOI(Silicon-On-Insulator) 유형의 장치들을 위하여, 상기 살리사이드 프로세스는 중요하다. SOI 기술은 집적 회로의 분야에 있어 점점 더 중요시되고 있다. SOI 제조에 있어서, 전형적으로, 반도체 물질층은 절연층상에 있고, 실리콘의 단일 크리스탈층은 실리콘 이산화물층 상에 있으며, 상기 실리콘 이산화물층은 실리콘 기판상에 있다.

종래의 방법에 따르면, BOX(Buried Oxide)층이 실리콘 기판상에 형성된다. 다음으로, 필드 산화물층과 SOI(Siliconon Insulator)층이 BOX층 상에 형성된다. SOI층은 보통 50nm 내지 100nm 의 두께를 갖도록 설계된다. 게이트 산화물층은 SOI층 상에 형성되고, 폴리 실리콘 게이트층은 게이트 산화물층 상에 형성된다. 게이트 측벽 (gate side wall)층은 SOI층 상에 형성되어 폴리 실리콘 게이트층과 게이트 산화물층을 둘러싸고 있다.

제 1 RTA(Rapid Thermal Annealing) 프로세스 전까지는, 제조된 구조는 Co (cobalt) 층 및 TiN (Titanium Nitride) 층에 덮인다. 제 1 RTA 프로세스에 있어서, SOI층과 게이트층이 살리사이드되기 위하여, 살리사이드 (silicide) 반응은 SOI층과 Co층 사이 및 폴리 실리콘 게이트층과 Co층 사이의 접합영역에서 발생한다. 살리사이드 영역들은 여전히 높은 저항

을 갖는 CoSi이다. 제 1 RTA 프로세스 후에, 남아있는 물질 (Co 및 TiN) 은 암모니아 수 또는 과산화수소 같은것을 사용하는 습식 프로세스에 의하여 선택적으로 제거된다.

다음으로, 제 2 RTA 프로세스가 SOI층과 폴리 실리콘 게이트층내의 실리콘을 다시 실리사이드 영역들에서 반응시키기 위하여 수행된다. 결과로서, 실리사이드 영역들은 낮은 저항을 갖는 CoSi₂ 가 된다.

상술한 종래의 방법에 따르면, 낮은 저항의 와이어링(wiring)이 살리사이드 프로세스에 의하여 실현될 수 있다. SOI장치들의 보다 향상된 성능을 위하여, SOI층을 예를 들어 70nm 보다 얇은 것과 같이 매우 예를 들어 만들것이 요구된다. 만약 SOI층이 불규칙적인 두께를 갖게 형성되면, SOI층의 얇은 부분은 전부 살리사이드될 수 있고, SOI층내에서 틈(void)들이 만들어질 수 있다. 만약 틈들이 SOI층내에서 만들어지면, 콘택트 홀들이 활성영역들 상에 형성될 때 BOX층이 에칭 될 수 있다. 만약 최악의 경우로 실리콘 기판도 에칭되면, 실리콘 기판은 상위 전극과 전기적으로 연결되게된다.결과로서, 바람직하지 못한 누전이 발생된다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 만약 SOI층이 매우 얇게 설계되는 경우에 있어서까지 반도체 장치의 성능을 향상시키는데 있다.

부가적인 목적들로, 본 발명의 장점들과 신규성있는 것들이 뒤에 따르는 발명의 상세한 설명의 부분으로서 개시되고, 심사할때 당업자에게 있어 명백할 것이며, 본 발명의 수행에 의해 취득될 것이다. 본 발명의 목적들과 장점들은 특히첨부된 청구항들에 지적된 수단들과 결합들에 의해서 실현되고 획득될 수 있다.

발명의 구성 및 작용

본 발명의 제 1 의 실시 태양에 따르면, 반도체 장치를 제조하는 방법에 있어서, 실리사이드 (silicide) 은 적어도 실리사이드된 지역의 표면에 형성된다. 그러면, 제 1 RTA(Rapid Thermal Annealing) 프로세스가 제 1 반응된 실리사이드 영역을 형성하기 위하여 수행된다. 다음으로, 보충적인 실리콘층이 전체 표면에 형성되고, 제 2 RTA 프로세스가 제 2 반응된 실리사이드 영역을 형성하기 위하여 수행된다.

본 발명의 주된 특징은 제 2 RTA 프로세스에 앞서서 전체 표면에 보충적인 실리콘층을 형성하는 것이다. 본 발명에따르면, 실리사이드 프로세스를 위한 실리콘이 제 2 RTA 프로세스에서의 보충적인 실리콘층으로부터 또한 제공된다.결과로서, 낮은 저항의 와이어링이 SOI층이 얇게 형성된 경우에 있어서까지 살리사이드 프로세스에 의해 잘 실현된다.결론적으로, 제조된 반도체 장치는 누전의 문제를 갖는 것으로부터 피해될 수 있다.

실리사이드은 코발트(Co) 또는 티타늄(Ti)를 포함할 수 있다. 보충적인 실리콘층은 CVD(Chemical Vapor Deposition)기술에 의해 형성된 폴리 실리콘일 수 있다. 보충적인 실리콘층은 스퍼터링(sputtering) 기술에 의해 형성된 a-Si(amorphousness silicon) 일 수 있다.

제 2 RTA 프로세스 전에 불순물이 보충적인 실리콘층으로 도핑될 수 있고, 그 불순물은 활

성화 영역들로서 동일한 유형의 것이다. 그러한 불순물들이 보충적인 실리콘층으로 도핑될 때, 남아있는 (반응되지 않은) 실리콘은 제 2 RTA 프로세스 후에 고 에칭을 및 고 선택도로 제거될 수 있다. 게다가, 불순물의 유형은 상응하는 활성화 영역으로 도핑된 불순물들과 같은 유형의 것인데, 이는 실리사이드 반응이 원활하게 진행하기 위함이다.

불순물은 N 채널 및 P 채널 영역들중 하나로 도핑될 수 있다. 불순물이 N 채널 및 P 채널 영역들중 하나로 도핑된 때, 실리사이드 반응은 N 채널 및 P 채널 영역 사이에서 잘 조절될 수 있다.

본 발명의 제 2 실시태양에 따르면, 반도체 장치는 본 발명의 제 1 실시태양의 방법으로 상술된 바에 의해 제조된다.

본 발명의 보다 나은 이해를 위하여, 종래 기술이 먼저 설명된다. 도 1a 내지 도 1c는 종래의 반도체 장치의 제조 단계를 도시한 단면도이다. 도 1a 내지 도 1c는 반도체 장치의 SOI(Silicon on Insulator) 유형의 살리사이드 프로세스를 보여준다.

도 1a는 게이트-사이드-윌 프로세스가 종료된 상태를 보여준다. 도 1a에 도시된 바와 같이, BOX(Buried Oxide) 층(14)은 100nm 내지 200nm의 두께를 갖는 실리콘 기판 (12) 상에 형성된다. 필드 산화물 층 (16)과 SOI(Silicon on Insulator) 층 (18)은 BOX층 (14) 상에 형성된다. SOI층 (18)은 FD(Fully Depletion) 유형의 것이고 50nm 내지 100nm의 두께를 갖도록 설계되었다. 게이트 산화물 층 (20)은 3.5nm 내지 7.0nm의 두께를 가지며 SOI층 (18) 상에 형성된다. 폴리 실리콘 게이트 층 (22)은 150nm 내지 250nm의 두께를 가지며 게이트 산화물층 (20) 상에 형성된다. 게이트 측벽층 (24)은 SOI층 (18) 상에 형성되어 폴리 실리콘 게이트 층 (22) 및 게이트 산화물층 (20)을 둘러싼다. 게이트 측벽층 (24)은 80nm 내지 150nm의 두께를 갖도록 설계된다.

도 1b는 도 1a에서 도시한 구조가 스퍼터링 프로세스에 의해 Co (Cobalt) 층 (26) 및 TiN (Titanium Nitride) 층 (28)에 덮인 상태를 보여준다. Co 층 (26)은 전체 구조 위에 형성되어 5nm 내지 12nm의 두께를 갖는다. TiN 층 (28)은 Co 층 (26) 위에 형성되어 5nm 내지 10nm의 두께를 갖는다. TiN 층 (28)은 살리사이드 프로세스를 조절하기 위하여 기능 한다.

도 1c는 제 1 및 제 2 RTA(Rapid Thermal Annealing) 프로세스들이 도 1b에서 도시한 구조에 수행되는 상태를 보여준다. 500 내지 600℃의 제 1 RTA 프로세스에 있어서, 실리사이드 반응은 SOI층 (18)과 Co층 (26) 사이 및 폴리 실리콘 게이트층 (22)과 Co층 (26) 사이의 접합 영역에서 발생하고, 이는 실리사이드 영역들 (30 및 32)이 형성되기 위해서이다.

제 1 RTA 프로세스 이후, 남아있는 금속 (Co 및 TiN)은 암모니아수 또는 과산화수소 같은 것을 사용하는 습식 프로세스에 의하여 선택적으로 제거된다. 실리사이드 영역들 (30 및 32)은 여전히 높은 저항을 갖는 CoSi이다.

다음으로, SOI층 (18)과 폴리 실리콘 게이트층 (22)내의 실리콘이 다시 실리사이드 영역들 (30 및 32)에서 각기 반응하기 위하여, 제 2 RTA 프로세스가 750 내지 850℃에서

수행된다. 결과로서, 실리사이드 영역들 (30 및 32) 은 낮은저항을 갖는 CoSi₂ 가 된다.

상술한 종래의 방법에 따르면, 낮은 저항의 와이어링이 살리사이드 프로세스에 의하여 실현될 수 있다. SOI 장치들의보다 향상된 성능을 위하여, SOI층 (18) 을 예를들어 70nm 보다 얇은 것과 같이 매우 얇게 만들것이 요구된다. 만약SOI층 (18) 이 불규칙적인 두께를 갖게 형성되면, SOI층 (18) 의 얇은 부분은 전부 살리사이드될 수 있고, SOI층 (18) 내에서 틈들이 만들어질 수 있다. 만약 틈들이 SOI층 (18) 내에서 만들어지면, 콘택트 홀들이 활성영역 (30) 상에 형성될때 BOX층 (14) 이 에칭될 수 있다. 만약 최악의 경우로 실리콘 기판 (12) 도 에칭되면, 실리콘 기판 (12) 은 상위전극과 전기적으로 연결되게된다. 결과로서, 바람직하지 못한 누전이 발생된다.

도 2a 내지 도 2e 는 본 발명의 제 1의 바람직한 실시예에 따르는 반도체 장치의 제조 단계를 도시한 단면도이다. 도2a 내지 도 2e 는 반도체 장치의 SOI (Silicon on Insulator) 유형의 살리사이드 프로세스를 보여준다.

도 2a 는 게이트-사이드-월 프로세스가 종료된 상태를 보여준다. 도 2a 에 도시된 바와 같이, BOX (Buried Oxide) 층(114) 이 100nm 내지 200 nm 의 두께를 가지며 실리콘 기판 (112) 상에 형성된다. 필드 산화물층 (116) 및SOI(Silicon on Insulator)층 (118) 은 BOX층 (114) 상에 형성된다. SOI층 (118) 은 FD(Fully Depletion) 유형의 것이고 50nm 내지 100nm 의 두께를 갖도록 설계되었다. 게이트 산화물 층 (120) 은 3.5nm 내지 7.0nm 의 두께를 가지며SOI층 (118) 상에 형성된다. 폴리 실리콘 게이트 층 (122) 은 150nm 내지 250nm의 두께를 가지며 게이트 산화물층(120) 상에 형성된다. 게이트 측벽층 (124) 은 SOI층 (118) 상에 형성되어 폴리 실리콘 게이트 층 (122) 및 게이트 산화물층 (120) 을 둘러싼다. 게이트 측벽층 (124) 은 80nm 내지 150nm 의 두께를 갖도록 설계된다.

도 2b 는 도 2a 에 도시된 구조가 스퍼터링 프로세스에 의해 Co (Cobalt) 층 (126) 및 TiN (Titanium Nitride) 층 (128)에 덮인 상태를 보여준다. Co 층 (126) 은 전체 구조 위에 형성되어 5nm 내지 12nm 의 두께를 가진다. TiN 층(128) 은 Co 층 (126) 위에 형성되어 5nm 내지 10nm 의 두께를 가진다. TiN 층 (128) 은 살리사이드 프로세스를 조절하기 위하여 기능 한다.

도 2c 는 상기 구조에 제 1 RTA(Rapid Thermal Annealing) 프로세스가 수행되는 상태를 보여준다. 제 1 RTA 프로세스는 500 내지 600℃에서 수행되고, 이는 실리사이드 반응이 SOI층 (118) 과 Co층 (126) 사이 및 폴리 실리콘 게이트층(122) 과 Co층 (126) 사이의 접합 영역에서 발생하기 위함이다. 제 1 RTA 프로세스의 결과로서, 실리사이드 영역들 (130 및 132) 이 형성된다. 실리사이드 영역들 (130 및 132) 은 "고 저항 실리사이드 영역들" 또는 " 제 1 반응된 실리사이드 영역들" 이라 불릴 수 있다. 실리사이드 영역들 (130 및 132) 은 CoSi 이고, 이는 여전히 높은 저항을 갖는다. 제 1 RTA 프로세스 이후에, 남아있는 금속 (Co 및 TiN) 은 암모니아수 또는 과산화수소 같은 것을 사용하는

습식프로세스에 의하여 선택적으로 제거된다.

제 2 RTA 프로세스 전에, 폴리 실리콘층 (136) 이 도 2d 에 도시된 바와 같이 보충적인 실리콘 층으로서 전체 구조 위에 형성된다. 폴리 실리콘층 (136) 은 350 내지 500℃의 온도에서 CVD(Chemical Vapor Deposition) 프로세스에 의해 형성되어 5nm 내지 10nm 의 두께를 갖는다.

다음으로, 제 2 RTA 프로세스가 750 내지 850℃의 온도에서 수행된다. 제 2 RTA 프로세스에 있어서, SOI층 (118) 및 폴리 실리콘층 (136) 내에 함유된 실리콘은 실리사이드 영역 (130) 에서 반응하고, 반면에 폴리 실리콘 게이트층 (122) 및 폴리 실리콘층 (136) 내에 함유된 실리콘은 실리사이드 영역 (132) 에서 반응한다. 상기의 실시예에 따르면, 실리사이드 프로세스를 위한 실리콘은 SOI층 (118) 및 폴리 실리콘 게이트층 (122) 로부터 뿐만 아니라 폴리 실리콘층 (136) 으로부터도 제공된다. 따라서, 제 2 RTA 프로세스 후에도 충분한 양의 실리콘이 SOI층 (118) 내에 남는다. 제 2 RTA 프로세스의 결과로서, 낮은 저항을 갖는 CoSi₂ 의 실리사이드 영역들 (138 및 140) 이 형성된다. 실리사이드 영역들 (138 및 140) 은 "저 저항 실리사이드 영역들" 또는 "제 2 반응된 실리사이드 영역들" 이라 불릴 수 있다.

제 2 RTA 프로세스 이후에, 남아있는 금속 (Co 및 TiN) 은 실리사이드 영역들 (138 및 140) 로부터 선택적으로 제거된다. 이러한 제거 프로세스는 아쿠아포티스 (aquafortis) 를 사용하는 습식 프로세스 (dipping) 에 의해 또는 염소 시스템 가스 또는 플루오르 시스템 가스를 사용하는 플라즈마 에칭에 의해 수행될 수 있다.

제 1 의 바람직한 실시예에 따르면, 실리사이드 프로세스를 위한 실리콘은 SOI층 (118) 및 폴리 실리콘 게이트층 (122) 로부터 뿐만 아니라 폴리 실리콘층 (136) 으로부터도 제공된다. 결과로서, 충분한 양의 실리콘이 제 2 RTA 프로세스 후에 SOI층 (118) 내에 남고, 따라서 심지어 SOI층 (118) 이 예를들어 70nm 보다 얇은 정도로 매우 얇게 형성되더라도 낮은 저항의 와이어링이 실리사이드 프로세스에 의해 실현될 수 있다. 바꿔 말해서, BOX층 (114) 은 콘택트 홀들이 활성화영역 (130) 상에 형성될 때 에칭으로부터 피하게 된다. 결론적으로, 제조된 반도체 장치는 누전의 문제를 갖는 것으로부터 피해질 수 있다.

도 3a 내지 도 3e 는 본 발명의 제 2 의 바람직한 실시예에 따르는 반도체 장치의 제조 단계를 도시한 단면도이다. 도 3a 내지 도 3e 는 반도체 장치의 SOI (Silicon on Insulator) 유형의 실리사이드 프로세스를 보여준다. 제 2 의 바람직한 실시예에 따르면, 제 1 의 바람직한 실시예의 도 2d 에 도시된 폴리 실리콘층 (136) 대신에 제 2 RTA 프로세스 전에 a-Si (amorphousness silicon) 층이 형성된다.

도 3a 는 게이트-사이드-월 프로세스가 종료된 상태를 보여준다. 도 3a 에 도시된 바와 같이, BOX (Buried Oxide) 층 (214) 이 100nm 내지 200 nm 의 두께를 가지며 실리콘 기판 (212) 상에 형성된다. 필드 산화물층 (216) 및 SOI (Silicon on Insulator) 층 (218) 은 BOX층 (214) 상에 형성된다. SOI층 (218) 은 FD (Fully Depletion) 유형의 것이고 50nm 내지 100nm 의 두께를 갖도록 설계되었다. 게이트 산화물 층 (220) 은 3.5nm

내지 7.0nm 의 두께를 가지며 SOI층 (218) 상에 형성된다. 폴리 실리콘 게이트 층 (222) 은 150nm 내지 250nm의 두께를 가지며 게이트 산화물층(220) 상에 형성된다. 게이트 측벽층 (224) 은 SOI층 (218) 상에 형성되어 폴리 실리콘 게이트 층 (222) 및 게이트 산화물층 (220) 을 둘러싼다. 게이트 측벽층 (224) 은 80nm 내지 150nm 의 두께를 갖도록 설계된다.

도 3b 는 도 3a 에 도시된 구조가 스퍼터링 프로세스에 의해 Co (Cobalt) 층 (226) 및 TiN (Titanium Nitride) 층 (228)에 덮인 상태를 보여준다. Co 층 (226) 은 상기 구조 위에 형성되어 5nm 내지 12nm 의 두께를 가진다. TiN 층(228) 은 Co 층 (226) 위에 형성되어 5nm 내지 10nm 의 두께를 가진다. TiN 층 (228) 은 살리사이드 프로세스를 조절하기 위하여 기능 한다.

도 3c 는 상기 구조에 제 1 RTA(Rapid Thermal Annealing) 프로세스가 수행되는 상태를 보여준다. 제 1 RTA 프로세스는 500 내지 600℃에서 수행되고, 이는 살리사이드 반응이 SOI층 (218) 과 Co층 (226) 사이 및 폴리 실리콘 게이트층(222) 과 Co층 (226) 사이의 접합 영역에서 발생하기 위함이다. 제 1 RTA 프로세스의 결과로서, 살리사이드 영역들 (230 및 232) 이 형성된다. 살리사이드 영역들 (230 및 232) 은 "고 저항 살리사이드 영역들" 또는 " 제 1 반응된 살리사이드 영역들" 이라 불릴 수 있다. 살리사이드 영역들 (230 및 232) 은 CoSi 이고, 이는 여전히 높은 저항을 갖는다. 제 1 RTA 프로세스 이후에, 남아있는 금속 (Co 및 TiN) 은 암모니아수 또는 과산화수소 같은 것을 사용하는 습식프로세스에 의하여 선택적으로 제거된다.

제 2 RTA 프로세스 전에, a-Si층 (236) 이 도 3d 에 도시된 바와 같이 보충적인 실리콘층으로서 전체 구조 위에 형성된다. a-Si층 (236) 은 스퍼터링 프로세스에 의해 형성된다. 다음으로, 제 2 RTA 프로세스가 750 내지 850℃의 온도에서 수행된다. 제 2 RTA 프로세스에 있어서, SOI층 (218) 및 a-Si층 (236) 내에 함유된 실리콘은 살리사이드 영역 (230) 에서 다시 반응하고, 반면에 폴리 실리콘 게이트층 (222) 및 a-Si층 (236) 내에 함유된 실리콘은 살리사이드 영역 (232) 에서 다시 반응한다. 상기의 실시예에 따르면, 살리사이드 프로세스를 위한 실리콘은 SOI층 (218) 및 폴리 실리콘 게이트층 (222) 로부터 뿐만아니라 a-Si층 (236) 으로부터도 제공된다. 따라서, 제 2 RTA 프로세스 후에도 충분한 양의 실리콘이 SOI층 (118) 내에 남는다. 제 2 RTA 프로세스의 결과로서, 낮은 저항을 갖는 CoSi₂ 의 살리사이드 영역들 (238 및 240) 이 형성된다. 살리사이드 영역들 (238 및 240) 은 "저 저항 살리사이드 영역들" 또는 "제 2 반응된 살리사이드 영역들" 이라 불릴 수 있다.

제 2 RTA 프로세스 이후에, 남아있는 금속 (Co 및 TiN) 은 살리사이드 영역들 (238 및 240) 로부터 선택적으로 제거된다. 이러한 제거 프로세스는 aquafortis 를 사용하는 습식 프로세스 (dipping) 에 의해 또는 염소 시스템 가스 또는 플루오르시스템 가스를 사용하는 플라즈마 에칭에 의해 수행될 수 있다.

제 2 의 바람직한 실시예에 따르면, 살리사이드 프로세스를 위한 실리콘은 SOI층 (218) 및

폴리 실리콘 게이트층 (222)로부터 뿐만 아니라 a-Si층 (236) 으로부터도 제공된다. 결과로서, 충분한 양의 실리콘이 제 2 RTA 프로세스 후에 SOI층(218) 내에 남고, 따라서 심지어 SOI층 (218) 이 예를들어 70nm 보다 얇은 정도로 매우 얇게 형성되더라도 낮은 저항의 와이어링이 살리사이드 프로세스에 의해 실현될 수 있다. 바꿔 말해서, BOX층 (214) 은 콘택트 홀들이 활성화 영역(230) 상에 형성될때 에칭으로부터 피하게 된다. 결론적으로, 제조된 반도체 장치는 누전의 문제를 갖는 것으로부터 피해질 수 있다. 제 1의 바람직한 실시예와 비교하여, a-Si층 (236) 이 보다 낮은 온도 (200℃ 이하) 에서의 프로세스에 의해 형성될 수 있다. 따라서, 살리사이드 반응은 제 2 RTA 프로세스 전에 보다 효과적으로 바람직하지 못한 진행을 방지할 수 있다.

도 4a 내지 도 4e 는 본 발명의 제 3의 바람직한 실시예에 따르는 반도체 장치의 제조 단계를 도시한 단면도이다. 도 4a 내지 도 4e 는 반도체 장치의 SOI (Silicon on Insulator) 유형의 살리사이드 프로세스를 보여준다. 제 3의 바람직한 실시예에 따르면, 제 1 및 제 2의 바람직한 실시예에 있어서 도 2b 및 도 3b 에 도시된 Co층 (126 및 226) 대신에 Ti(titanium)층이 제 1 RTA 프로세스 전에 형성된다.

티타늄과 코발트는 상이한 방식으로 실리콘과 반응한다는 것은 공지의 사실이다. 살리사이드 프로세스를 위하여 티타늄을 사용하면, $TiSi_2$ 가 제 1 RTA 프로세스에서 형성된다. 그러면, 제 2 RTA 프로세스에서, C49 에서 C54 로의 위상전이기가 살리사이드 영역들에서 발생하고, 이는 살리사이드 영역들의 저항을 낮추기 위함이다.

도 4a 는 게이트-사이드-월 프로세스가 종료된 상태를 보여준다. 도 4a 에 도시된 바와 같이, BOX (Buried Oxide) 층(314) 이 100nm 내지 200 nm 의 두께를 가지며 실리콘 기판 (312) 상에 형성된다. 필드 산화물층 (316) 및 SOI(Silicon on Insulator)층 (318) 은 BOX층 (314) 상에 형성된다. SOI층 (318) 은 FD(Fully Depletion) 유형의 것이고 50nm 내지 100nm 의 두께를 갖도록 설계되었다. 게이트 산화물 층 (320) 은 3.5nm 내지 7.0nm 의 두께를 가지며 SOI층 (318) 상에 형성된다. 폴리 실리콘 게이트 층 (322) 은 150nm 내지 250nm의 두께를 가지며 게이트 산화물층(320) 상에 형성된다. 게이트 측벽층 (324) 은 SOI층 (318) 상에 형성되어 폴리 실리콘 게이트 층 (322) 및 게이트 산화물층 (320) 을 둘러싼다. 게이트 측벽층 (324) 은 80nm 내지 150nm 의 두께를 갖도록 설계된다.

도 4b 는 도 4a 에 도시된 구조가 Ti (titanium) 층 (326) 및 TiN (Titanium Nitride) 층 (328) 에 덮인 상태를 보여준다. Ti 층 (326) 은 전체 구조 위에 형성되고, TiN 층 (328) 은 Co 층 (326) 위에 형성된다. TiN 층 (328) 은 살리사이드 프로세스를 조절하기 위하여 기능 한다.

도 4c 는 상기 구조에 제 1 RTA(Rapid Thermal Annealing) 프로세스가 수행되는 상태를 보여준다. 제 1 RTA 프로세스는 500 내지 600℃에서 수행되고, 이는 살리사이드 반응이 SOI층 (318) 과 Ti층 (326) 사이 및 폴리 실리콘 게이트층(322) 과 Ti층 (326) 사이의 접합 영역에서 발생하기 위함이다. 제 1 RTA 프로세스의 결과로서, 살리사이드 영역들

(330 및 332) 이 형성된다. 실리사이드 영역들 (330 및 332) 은 "고 저항 실리사이드 영역들" 또는 " 제 1 반응된 실리사이드 영역들" 이라 불릴 수 있다. 실리사이드 영역들 (330 및 332) 은 $TiSi_2$ (C49) 이고, 이는 여전히 높은 저항을 갖는다. 실리사이드 영역들 (330 및 332) 의 한 부분은 $TiSi_2$ (C49) 가 아니라 $TiSi$ 가 된다. 제 1 RTA 프로세스 이후에, 남아있는 금속 (Ti 및 TiN) 은 암모니아수 또는 과산화수소 같은 것을 사용하는 습식 프로세스에 의하여 선택적으로 제거된다.

제 2 RTA 프로세스 전에, 폴리-Si (또는 a-Si)층 (336) 이 도 4d 에 도시된 바와 같이 보충적인 실리콘층으로서 전체 구조 위에 형성된다. 그러면, 제 2 RTA 프로세스가 800 내지 850°C의 온도에서 수행된다. 제 2 RTA 프로세스에 있어서, $TiSi_2$ (C49) 에서 $TiSi_2$ (C54) 로의 위상 천이가 실리사이드 영역들 (330 및 332) 에서 발생하고, 이는 실리사이드영역들 (330 및 332) 의 저항을 낮추기 위함이다. 바꿔 말해서, $TiSi_2$ (C54) 의 규소 화합물 영역들 (338 및 340) 이형성된다. $TiSi$ 의 불완전한 실리사이드 영역들은 $TiSi_2$ 로 변화된다. 규소 화합물 영역들 (338 및 340) 은 "저저항 실리사이드 영역들" 또는 "제 2 반응된 실리사이드 영역들" 이라 불릴 수 있다.

제 2 RTA 프로세스 이후에, 남아있는 금속 (Ti , TiN 및 폴리-Si/a-Si) 은 도 4e 에 도시된 바와 같이 선택적으로 제거된다. 이러한 제거 프로세스는 aquafortis 를 사용하는 습식 프로세스 (dipping) 에 의해 또는 염소 시스템 가스 또는플루오르 시스템 가스를 사용하는 플라즈마 에칭에 의해 수행될 수 있다.

제 3 의 바람직한 실시예에 따르면, 실리사이드 프로세스를 위한 실리콘은 SOI층 (318) 및 폴리 실리콘 게이트층 (322)로부터 뿐만아니라 폴리-Si/a-Si층 (336) 으로부터도 제공된다. 결과로서, 충분한 양의 실리콘이 제 2 RTA 프로세스 후에 SOI층 (318) 내에 남고, 따라서 심지어 SOI층 (318) 이 매우 얇게 형성되더라도 낮은 저항의 와이어링이 살리사이드프로세스에 의해 실현될 수 있다. 바꿔 말해서, BOX층 (314) 은 콘택트 홀들이 활성화 영역 (330) 상에 형성될때 에칭으로부터 피하게 된다. 결론적으로, 제조된 반도체 장치는 누전의 문제를 갖는 것으로부터 피해질 수 있다.

도 5a 내지 도 5d 는 본 발명의 제 4 의 바람직한 실시예에 따르는 반도체 장치의 제조단계를 도시하는 단면도이다.도 5a 내지 도 5d 는 반도체 장치의 SOI(Silicon on Insulator) 유형의 살리사이드 프로세스를 보여준다. 제 4 의 바람직한 실시예에 따르면, N 채널 영역과 P 채널 영역 사이에서 상이한 불순물들이 보충적인 실리콘층으로 도핑된다.제 1 내지 제 3 의 바람직한 실시예들에서 상술한 것에서, 보충적인 실리콘층들 (136,236 및 336) 의 동일한 유형이 N 채널 영역 및 P 채널 영역 모두를 위해 사용된다.

도 5a 는 제 1 RTA 프로세스가 종료되고 보충적인 실리콘층 (436) 이 전체 구조 위에 형성된 상태를 보여준다. 도 5a에 도시된 바와 같이, BOX (Buried Oxide) 층 (414) 이 100nm 내지 200 nm 의 두께를 가지며 실리콘 기판 (412) 상에 형성된다. 필드 산화물층 (416) 및 SOI(Silicon on Insulator)층 (418) 은 BOX층 (414) 상에 형성된다. SOI층(418) 은 FD(Fully Depletion) 유형의 것이고 50nm 내지 100nm 의 두께를 갖도록 설계

되었다. 게이트 산화물 층(420)은 3.5nm 내지 7.0nm의 두께를 가지며 SOI층(418)상에 형성된다. 폴리 실리콘 게이트 층(422)은 150nm 내지 250nm의 두께를 가지며 게이트 산화물층(420)상에 형성된다. 게이트 측벽층(424)은 SOI층(418)상에 형성되어 폴리 실리콘 게이트 층(422) 및 게이트 산화물층(420)을 둘러싼다. 게이트 측벽층(424)은 80nm 내지 150nm의 두께를 갖도록 설계된다.

비록 도 5a에는 도시되지 않았지만, 상기 구조는 스퍼터링 프로세스에 의해 Co(Cobalt)층 및 TiN(Titanium Nitride)층으로 덮인다. 상기 Co 층은 5nm 내지 12nm의 두께를 가지며 상기 구조 위에 형성된다. TiN 층은 5nm 내지 10nm의 두께를 가지며 Co 층 위에 형성된다. TiN 층은 살리사이드 프로세스를 조절하기 위하여 기능한다.

다음으로, 제 1 RTA(Rapid Thermal Annealing) 프로세스가 500 내지 600°C에서 수행되고, 이는 살리사이드 반응이 SOI층(418)과 Co층 사이 및 폴리 실리콘 게이트층(422)과 Co층 사이의 접합 영역에서 발생하기 위함이다. 제 1 RTA 프로세스의 결과로서, 살리사이드 영역들(430 및 432)이 형성된다. 살리사이드 영역들(430 및 432)은 "고 저항 살리사이드 영역들" 또는 "제 1 반응된 살리사이드 영역들"이라 불릴 수 있다. 살리사이드 영역들(430 및 432)은 CoSi이고, 이는 여전히 높은 저항을 갖는다. 제 1 RTA 프로세스 이후에, 남아있는 금속(Co 및 TiN)은 암모니아수 또는 과산화수소 같은 것을 사용하는 습식 프로세스에 의하여 선택적으로 제거된다.

제 2 RTA 프로세스 전에, 폴리-Si층(436)이 도 5a에 도시된 바와 같이 보충적인 실리콘층으로서 전체 구조 위에 형성된다.

다음으로, P 채널 영역은 도 5b에 도시된 바와 같이 포토-레지스트층(450)으로 덮인다. 그러면, P(인) 또는 As(비소)와 같은 N 타입 불순물이 이온-주입 기술에 의해 N 채널 영역의 폴리-Si층(436)으로 도핑되어 N-도핑된 실리콘층(436N)을 만든다. 도핑 프로세스에서, N 타입 불순물은 또한 포토-레지스트층(450)으로도 도핑된다. 도핑 프로세스 후에, 남아있는 포토-레지스트(450)는 미리 결정된 프로세스에 의해 제거된다.

다음으로, N 채널 영역은 도 5c에 도시된 바와 같이 포토-레지스트층(452)으로 덮인다. 그러면, B(붕소)와 같은 P 타입 불순물이 이온-주입 기술에 의해 P 채널 영역의 폴리-Si층(436)으로 도핑되어 P-도핑된 실리콘층(436P)을 만든다. 도핑 프로세스에서, P 타입 불순물은 또한 포토-레지스트층(452)으로도 도핑된다. 도핑 프로세스 후에, 남아있는 포토-레지스트(450)는 미리 결정된 프로세스에 의해 제거된다.

다음으로, 제 2 RTA 프로세스가 도 5d에 도시된 바와 같이 전체 구조에 수행된다. 제 2 RTA 프로세스에서, 제 1 내지 제 3의 바람직한 실시예들과 동일한 방식으로 낮은 저항의 살리사이드 영역들(438 및 440)이 형성된다. 규소화합물 영역들(438 및 440)은 "저 저항 살리사이드 영역들" 또는 "제 2 반응된 살리사이드 영역들"이라 불릴 수 있다. 제 2 RTA 프로세스 이후, 남아있는 금속(Co, TiN 및 폴리-Si/a-Si)은 aquafortis를 사용하는 습식 프로세스(dipping)에 의해 또는 염소 시스템 가스 또는 플루오르 시스템 가스를 사용하는 플라즈마 에칭에 의해 선택적으로 제거될 수 있다.

본 발명의 제 4 의 바람직한 실시예에 따르면, 불순물들은 보충적인 실리콘층 (436) 으로 도핑되는데, 이는 제 2 RTA 프로세스 후에 남아있는 실리콘이 고 에칭을 및 고 선택도로 제거될 수 있게 하기 위함이다. 이러한 장점은 특히 건식에칭 프로세스의 경우에 두드러진다. 게다가, 보충적인 실리콘층 (436) 으로 도핑된 불순물의 유형은 상응하는 활성화영역 (430) 으로 도핑된 불순물들과 같은 유형의 것인데, 이는 실리사이드 반응이 원활하게 진행하기 위함이다.

도 6a 내지 도 6c 는 본 발명의 제 5 의 바람직한 실시예에 따르는 반도체 장치의 제조단계를 도시하는 단면도이다. 도 6a 내지 도 6c 는 반도체 장치의 SOI(Silicon on Insulator) 유형의 살리사이드 프로세스를 보여준다. 제 5 의 바람직한 실시예에 따르면, 불순물은 단지 N 채널 영역의 보충적인 실리콘층 (536) 으로만 도핑된다. 동일한 방식으로, 불순물은 단지 P 채널 영역의 보충적인 실리콘층 (536) 으로만 도핑될 수 있다.

도 6a 는 제 1 RTA 프로세스가 종료되고 보충적인 실리콘층 (536) 이 전체 구조 위에 형성된 상태를 보여준다. 도 6a에 도시된 바와 같이, BOX (Buried Oxide) 층 (514) 이 100nm 내지 200 nm 의 두께를 가지며 실리콘 기판 (512) 상에 형성된다. 필드 산화물층 (516) 및 SOI(Silicon on Insulator)층 (518) 은 BOX층 (514) 상에 형성된다. SOI층 (518) 은 FD(Fully Depletion) 유형의 것이고 50nm 내지 100nm 의 두께를 갖도록 설계되었다. 게이트 산화물 층(520) 은 3.5nm 내지 7.0nm 의 두께를 가지며 SOI층 (518) 상에 형성된다. 폴리 실리콘 게이트 층 (522) 은 150nm 내지 250nm의 두께를 가지며 게이트 산화물층 (520) 상에 형성된다. 게이트 측벽층 (524) 은 SOI층 (518) 상에 형성되어 폴리 실리콘 게이트 층 (522) 및 게이트 산화물층 (520) 을 둘러싼다. 게이트 측벽층 (524) 은 80nm 내지 150nm의 두께를 갖도록 설계된다.

그러면, 제 4 의 바람직한 실시예와 동일한 방식으로, 제 1 RTA 프로세스가 수행된다. 제 1 RTA 프로세스의 결과로서, 실리사이드 영역들 (530 및 532) 이 형성된다. 실리사이드 영역들 (530 및 532) 은 "고 저항 실리사이드 영역들"또는 " 제 1 반응된 실리사이드 영역들" 이라 불릴 수 있다. 실리사이드 영역들 (530 및 532) 은 CoSi이고, 이는 여전히 높은 저항을 갖는다. 제 1 RTA 프로세스 이후에, 남아있는 금속 (Co 및 TiN) 은 암모니아수 또는 과산화수소 같은 것을 사용하는 습식 프로세스에 의하여 선택적으로 제거된다. 그러면, 폴리-Si층 (536) 은 전체 구조 위에 형성된다.

다음으로, P 채널 영역은 도 6b 에 도시된 바와 같이 포토-레지스트층 (550) 으로 덮인다. 그러면, P (인) 또는 As (비소) 와 같은 N 타입 불순물이 이온-주입 기술에 의해 N 채널 영역의 a-Si층 (436) 으로 도핑되어 N-도핑된 실리콘층(536N) 을 만든다. 도핑 프로세스에서, N 타입 불순물은 또한 포토-레지스트층 (550) 으로도 도핑된다. 도핑 프로세스 후에, 남아있는 포토-레지스트 (550) 는 미리 결정된 프로세스에 의해 제거된다.

다음으로, 제 2 RTA 프로세스가 도 6c 에 도시된 바와 같이 전체 구조에 수행된다. 제 2 RTA 프로세스에서, 제 1 내지 제 4 의 바람직한 실시예들과 동일한 방식으로 낮은 저항의 실리사이드 영역들 (538 및 540) 이 형성된다. 규소화합물 영역들 (538 및 540) 은

"저 저항 실리사이드 영역들" 또는 "제 2 반응된 실리사이드 영역들" 이라 불릴 수 있다. 제 2 RTA 프로세스 이후, 남아있는 금속 (Co, TiN 및 폴리-Si/a-Si) 은 aquafortis 를 사용하는 습식 프로세스 (dipping)에 의해 또는 염소 시스템 가스 또는 플루오르 시스템 가스를 사용하는 플라즈마 에칭에 의해 선택적으로 제거될 수 있다.

본 발명의 제 5 의 바람직한 실시예에 따르면, 불순물은 N 및 P 채널 영역들중 하나의 보충적인 실리콘층 (536) 으로 도핑되는데, 이는 실리사이드 반응이 N 채널 영역과 P 채널 영역 사이에서 잘 조절될 수 있게 하기 위함이다.

발명의 효과

상술한 바와 같이, 본 발명에 의하면, SOI층이 매우 얇게 설계되는 경우에 있어서까지 반도체 장치의 성능을 향상시킬 수있는 효과가 있다.

(57) 청구의 범위

청구항 1. 살리사이드 (자기정렬 실리사이드) 프로세스를 사용하여 반도체 장치를 제조하는 방법에 있어서,

적어도 실리사이드될 영역의 표면에 실리사이드될 물질을 제공하는 단계;

제 1 반응된 실리사이드 영역을 형성하기 위하여 제 1 RTA 프로세스를 수행하는 단계;

상기 표면 위에 보충적인 실리콘층을 제공하는 단계; 및

제 2 RTA 프로세스를 수행하여 제 2 반응된 실리사이드 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2. 제 1 항에 있어서, 상기 물질은 코발트 (Co) 를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3. 제 1 항에 있어서, 상기 물질은 티타늄 (Ti) 을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4. 제 1 항에 있어서, 상기 보충적인 실리콘층은 CVD 기술에 의해 형성된 폴리 실리콘인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5. 제 1 항에 있어서, 상기 보충적인 실리콘층은 스퍼터링 기술에 의해 형성된 아모퍼스 실리콘 (a-Si) 인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6. 제 1 항에 있어서, 상기 제 2 RTA 프로세스 후에 상기 제 2 반응된 실리사이드 영역으로부터 반응하지 않은 실리콘을 선택적으로 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7. 제 1 항에 있어서, 상기 제 2 RTA 프로세스 전에 활성 영역들과 동일한 유형의 불순물을 상기 보충적인 실리콘층으로 도핑하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8. 제 7 항에 있어서, 상기 불순물은 N 채널 영역 및 P 채널 영역 중 하나로 도핑되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 9. 살리사이드 프로세스를 사용하여 반도체 장치를 제조하는 방법으로서, 실리콘 기판을 제공하는 단계;

상기 실리콘 기판에 BOX층을 제공하는 단계;

상기 BOX층 상에 필드 산화물층 및 SOI층을 제공하는 단계;

상기 SOI층 상에 게이트 산화물층을 제공하는 단계;

상기 게이트 산화물층 상에 폴리 실리콘 게이트층을 제공하는 단계;

상기 폴리 실리콘 게이트층 및 상기 게이트 산화물층을 둘러싸기 위하여 상기 SOI층 상에 게이트 측벽층을 제공하는 단계;

상기 표면에 실리사이드될 물질을 제공하는 단계;

제 1 RTA 프로세스를 수행하여 상기 폴리 실리콘 게이트층 및 상기 SOI층의 소스/드레인 활성 영역들에서 제 1 반응된 실리사이드 영역들을 형성하는 단계;

상기 제 1 반응된 실리사이드 영역들로부터 반응하지 않은 물질을 제거하는 단계;

상기 전체의 표면 위에 보충적인 실리콘층을 제공하는 단계;

제 2 RTA 프로세스를 수행하여 상기 제 1 반응된 실리사이드 영역들이 상기 보충적인 실리콘층과 다시 반응하여 제 2 반응된 실리사이드 영역들을 형성하는 단계; 및

상기 제 2 반응된 실리사이드 영역들로부터 반응하지 않은 실리콘을 선택적으로 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10. 적어도 실리사이드될 영역의 표면에 실리사이드될 물질을 제공하는 단계;

제 1 RTA 프로세스를 수행하여 제 1 반응된 실리사이드 영역을 형성하는 단계;

상기 전체 표면 위에 보충적인 실리콘층을 제공하는 단계; 및

제 2 RTA 프로세스를 수행하여 제 2 반응된 실리사이드 영역을 형성하는 단계를 포함하는 방법에 의해 제조되는 것을 특징으로 하는 반도체 장치.

청구항 11. 제 10 항에 있어서, 상기 실리사이드 물질은 코발트 (Co) 를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 12. 제 10 항에 있어서, 상기 실리사이드 물질은 티타늄 (Ti) 를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 13. 제 10 항에 있어서, 상기 보충적인 실리콘층은 CVD 기술에 의해 형성된 폴리 실리콘인 것을 특징으로 하는 반도체 장치.

청구항 14. 제 10 항에 있어서, 상기 보충적인 실리콘층은 스퍼터링 기술에 의해 형성된 아모포스 실리콘 (a-Si) 인것을 특징으로 하는 반도체 장치.

청구항 15. 제 10 항에 있어서, 상기 반응하지 않은 실리콘은 상기 제 2 RTA 프로세스 후에 상기 제 2 반응된 실리사이드 영역으로부터 선택적으로 제거되는 것을 특징으로 하는 반도체 장치.

청구항 16. 제 10 항에 있어서, 활성 영역들과 동일한 유형의 불순물이 상기 제 2 RTA 프로세스 전에 상기 보충적인실리콘층으로 도핑되는 것을 특징으로 하는 반도체 장치.

청구항 17. 제 16 항에 있어서, 상기 불순물은 N 채널 영역 및 P 채널 영역 중 하나로 도핑되는 것을 특징으로 하는반도체 장치.

청구항 18. 실리콘 기판을 제공하는 단계;

상기 실리콘 기판에 BOX층을 제공하는 단계;
상기 BOX층 상에 필드 산화물층 및 SOI층을 제공하는 단계;
상기 SOI층 상에 게이트 산화물층을 제공하는 단계;
상기 게이트 산화물층 상에 폴리 실리콘 게이트층을 제공하는 단계;
상기 폴리 실리콘 게이트층 및 상기 게이트 산화물층을 둘러싸기 위하여 상기 SOI층 상에 게이트 측벽층을 제공하는 단계;
상기 표면에 실리사이드될 물질을 제공하는 단계;
제 1 RTA 프로세스를 수행하여 상기 폴리 실리콘 게이트층 및 상기 SOI층의 소스/드레인 활성 영역들에서 제 1 반응된 실리사이드 영역들을 형성하는 단계;
상기 제 1 반응된 실리사이드 영역들로부터 반응하지 않은 물질을 제거하는 단계;
상기 전체의 표면 위에 보충적인 실리콘층을 제공하는 단계;
제 2 RTA 프로세스를 수행하여 상기 제 1 반응된 실리사이드 영역들이 상기 보충적인 실리콘층과 다시 반응하여 제 2 반응된 실리사이드 영역들을 형성하는 단계; 및
상기 제 2 반응된 실리사이드 영역들로부터 반응하지 않은 실리콘을 선택적으로 제거하는 단계를 포함하는 방법에 의해 제조되는 것을 특징으로 하는 반도체 장치.

도면

도면1a

도면1b

도면1c

도면2a

도면2b

도면2c

도면2d

도면2e

도면3a

도면3b

도면3c

도면3d

도면3e

도면4a

도면4b

도면4c

도면4d

도면4e

도면5a

도면5b

도면5c

도면5d

도면6a

도면6b

도면6c